

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月 6日

出 願 番 号

Application Number:

特願2001-029493

出 願 人

Applicant(s):

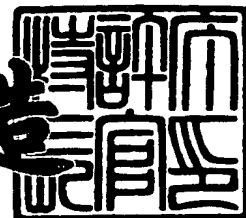
シャープ株式会社

#2 / Priority
Paper
5-10-02
Rstuden

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3096904

【書類名】 特許願

【整理番号】 175205

【提出日】 平成13年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10
H01L 21/302

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 東田 敬行

【特許出願人】

 【識別番号】 000005049

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100084146

 【弁理士】

 【氏名又は名称】 山崎 宏

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 1 - 0 2 9 4 9 3

【包括委任状番号】 0003090

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に下部電極膜と強誘電体膜と上部電極膜からなるキャパシタを有する半導体装置において、該強誘電体膜の上側の表面に凸部または凹部領域を有することを特徴とする半導体装置。

【請求項 2】 該強誘電体膜の上側の表面に存在する凸部または凹部領域が該上部電極膜により完全に覆われていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 さらに、下部電極膜の上側の表面も凸部または凹部領域を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 該強誘電体膜の上側の表面に存在する凸部または凹部領域が該上部電極膜により完全に覆われ、該下部電極膜の上側の表面に存在する凸部または凹部領域が該強誘電体膜により完全に覆われていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 該強誘電体膜の上側の表面に形成された凸部または凹部領域の高さまたは深さは、該誘電体膜の膜厚の半分以下であり、かつ該上部電極膜の膜厚以下からその膜厚の半分の範囲であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 6】 該強誘電体膜の上側の表面に形成された凸部または凹部領域の高さまたは深さは、該誘電体膜の膜厚の半分以下であり、かつ該上部電極膜の膜厚以下からその膜厚の半分の範囲であって、該下部電極膜の上側の表面に形成された凸部または凹部領域の高さまたは深さは、該下部電極膜の膜厚の半分以下であり、かつ該強誘電体膜の膜厚以下からその膜厚の半分の範囲であることを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 7】 半導体基板上に下部電極膜と強誘電体膜と上部電極膜からなるキャパシタを有する半導体装置の製造方法において、強誘電体膜の上側の表面に凸部または凹部領域を形成する工程を含み、ここに、該上部電極膜が該強誘電体膜の上側の表面に形成された凸部または凹部領域を完全に覆うように形成する

ことを特徴とする半導体装置の製造方法。

【請求項 8】 さらに、下部電極膜の上側の表面にも凸部または凹部を形成する工程を含み、ここに、該強誘電膜が該下部電極膜の上側の表面に形成された凸部または凹部領域を完全に覆うように形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体メモリー等のキャパシタおよびその製造方法を提供する。さらに詳しくは、本発明は、下部電極膜、強誘電体膜および上部電極膜からなるキャパシタを有する半導体装置の製造方法において、その強誘電体電気的特性を維持しつつ、膜間の剥がれ現象を抑えることができる半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体業界において、強誘電体メモリーが注目を集めている。強誘電体メモリーは高速動作、ランダムアクセス、多数回書き換え、低消費電力等を特徴とする次世代メモリーである。現在の強誘電体メモリーは、トランジスタ形成後に、電極と強誘電体膜からなるキャパシタを形成する。これらの工程は、公開特許の特開平 1 1 - 2 1 4 6 5 5 の実施例においても見られるように、一般的な手法である。以下に図 5 および 6 を用いて、従来技術の一例を説明する。

【0003】

まず、トランジスタが形成された下地基板 2 1 上に密着層膜 2 2、例えば TiO_2 、 TiN 等をスパッタ法にて 5 0 n m 堆積する。その上に下部電極膜 2 3、例えば、 Pt 、 Ir 、 IrO_3 等をスパッタ法にて 2 0 0 n m 堆積させる。この上に強誘電体膜 2 4、例えば SBT 、 PZT 等をゾルゲル法や MOD 、 $LSMC$ D 、スパッタ、 CVD 等により 2 0 0 n m 形成し、 O_2 雰囲気中で焼結させる。その上にさらに上部電極膜 2 5、例えば Pt 、 Ir 、 IrO_3 等をスパッタ法にて 1 0 0 n m 堆積させる（図 5 A）。

【 0 0 0 4 】

その後、上部電極膜 2 5 の上に、 $1.5\mu\text{m}$ 膜厚の上部電極加工用フォトレジストパターン 2 6 を形成し、ドライエッチングにて上部電極膜 2 5 を加工する（図 5 B）。ドライエッチング条件としては、例えば、Inductive Coupling Plasma（ICP）等の高密度プラズマエッチング装置にて、 Cl_2 と Ar の混合ガスを高解離し、 3mTorr 以下の高真空状態で、Ar によるスパッタエッチングを主体としたエッチングを行う。一般的に Pt や Ir は反応性が低く、蒸気圧が非常に低いため、エッチング後もパターン側壁部分に、スパッタエッチングによって分解された Pt や Ir が再付着する。エッチングガスに Cl_2 や F 等を添加することにより、側壁部分に付着するものを塩化物やフッ化物等にし、後の洗浄工程にて除去できるようにしている。

その後、洗浄処理にてパターン側壁部分に付着したエッチングデポ物 2 7 を除去した後、ダウンフロー O_2 アッシング装置等を用いて、残留したレジストパターンを除去する（図 5 C）。

【 0 0 0 5 】

続いて、加工された上部電極膜 2 5 および強誘電体膜 2 4 上に、 $2.0\mu\text{m}$ 膜厚の強誘電体膜加工用フォトレジストパターン 2 8 を形成し、ドライエッチングにて強誘電体膜 2 4 を加工する（図 5 D）強誘電体膜も Pt や Ir 等と同様のエッチング特性を持っているため、エッチングの条件としては、上部電極エッチングの時と同様なエッチング条件、機構を用いる。その後、洗浄にてパターン側壁部分に付着したエッチングデポ 2 9 を除去した後、ダウンフロー O_2 アッシング等によって、残留したレジストを除去する（図 4 e）。

【 0 0 0 6 】

同様にして、加工された上部電極膜 2 5、強誘電体膜 2 4 と下部電極膜 2 3 上に、 $2.0\mu\text{m}$ 膜厚の強誘電体加工用フォトレジストパターン 3 0 を形成し、ドライエッチングにて下部電極膜 2 3 を加工する（図 5 F）。下部電極エッチも上部電極エッチと同様の材料であるから、エッチングには同様のエッチング機構、条件が用いられる。

その後、洗浄にてパターン側壁部分に付着したエッチングデポ 3 1 を除去した

後、ダウンフロー O_2 アッシング等によって、残留したレジストを除去する（図 5 G）。

【0007】

以上の工程をもって、キャパシタ形状が加工されるが、ドライエッチングや洗浄処理を行うことにより、強誘電体膜特性が劣化する。このため最後に、キャパシタ加工後、強誘電体層を形成した場合の焼成（焼結）温度と同等かそれ以上の温度でのアニールを行うことにより、強誘電体膜を再焼結させ、電気特性を回復させる処理を行う。以上のプロセスを経て、強誘電体膜のキャパシタが形成される。

【0008】

【発明が解決しようとする課題】

しかし、この従来法には、図 7 に示す様に、キャパシタ形成時に電極膜と強誘電体膜との間で膜剥がれ現象が起こるという問題がある。

膜剥がれは各膜をエッチングした後のデポ物洗浄や、最後のアニール時に発生する。従って、膜剥がれの直接的原因として、デポ物洗浄時の薬液が、電極膜と強誘電体膜との間に浸透することによるリフトオフ現象や、アニール時の電極膜と強誘電体膜の膜収縮率の違いによる剥離現象が考えられる。

【0009】

従来の検討から、上部電極と強誘電体膜の間では、強誘電体膜の表面モルフォロジーが悪い程、上部電極膜剥がれは発生しにくいという傾向がある。一方で強誘電体膜の表面モルフォロジーが良い、すなわち、膜密度が緻密な程、電気特性は良い値を示す。このように、電気特性の向上と膜剥がれの低減は、両立させるのが難しいのが現状であり、これが課題となっている。

【0010】

この課題に対して電極膜と強誘電体膜の間に、密着性の高い誘電体膜を挟んで、剥がれを防止するという方法が提案されているが、強誘電体電気特性の劣化や、工程の複雑化など、現状では最適な方法は確立されていない。

かくして、本発明の目的は、強誘電体電気特性を維持したまま、剥がれの現象を抑えることにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明は、膜の表面にエッチングにより凸部または凹部領域を形成することにより、薬液の浸液や、熱工程での膜収縮により引起される該凸部または凹部領域が形成された膜と該膜の上に形成された上層膜との間の剥離を防止する（アンカー効果とも言う）というものである。

【 0 0 1 2 】

【発明の実施の形態】

詳細の手法について、以下に述べる。

まず、上部電極と、その下の強誘電体膜との剥がれ問題について説明する。強誘電体膜を形成した時点で、上部電極が加工形成されるエリアにレジストパターンを形成し、強誘電体膜のエッチングを行い、強誘電体表面に凸パターンを作る。この凸パターンの大きさは、後の上部電極パターン形成時に、パターン線幅ばらつきや、アライメントずれを含めても、凸パターンが上部電極パターンからはみ出さないように制御しなければならない。すなわち、凸パターン用のレジストパターンの線幅は上部電極パターンの最小線幅からさらにアライメントずれマージン分小さい値にする。

【 0 0 1 3 】

エッチング量は、上部電極膜厚以上になると、上部電極膜がうまくスパッタされないことから、上部電極膜厚分以下で、かつアンカー効果を出すために上部電極膜厚の半分以上で設定する。また一方で、強誘電体膜厚の半分以上をエッチングすることも、強誘電体膜の電気特性から抑える必要がある。

【 0 0 1 4 】

強誘電体膜のエッチング後、エッチ後洗浄とアッシングにより、デポ物およびレジストを除去する。それから上部電極をスパッタ形成し、従来技術と同様に上部電極加工以降を行えば、上部電極パターンは平滑な強誘電体膜と接している場合に比べてアンカー効果により、剥がれを防ぐことができる。以上の手段は下部電極と強誘電体膜との間にも適用し効果を得ることができる。

【 0 0 1 5 】

【実施例】

以下に、実施例に基づいて、本発明の詳細について説明する。

本発明の一実施例の半導体装置を図1に示す。図1に示すごとく、本発明の半導体装置は、上部電極17および強誘電体膜14が凸状になっていることを特徴とする。この構成により、膜剥がれを低減することができる。ここでは、1の膜上に形成された凸部は1個であるが、本発明において、1の膜上に複数の凸部を形成することができる。また、凸部ではなく、凹部を形成することもできる。

【0016】

図2A～D、図3E～Hおよび図4I～Kは、図1で示された半導体装置の製造工程を示す図である。

まず、トランジスタが形成され、絶縁膜で覆われた半導体基板11上に、密着層膜12、例えば TiO_2 、 TiN 、 Al_2O_3 、 $TaSiN$ 等をスパッタ法などにより50nm堆積する。これらの膜は Ti 、 Al 、 $TaSi$ 膜をスパッタ法などにより形成後、酸化や窒化することによっても得ることができる。

【0017】

その上に下部電極膜13、例えば Pt 、 Ir 、 IrO_3 等をスパッタ法などにより200nm堆積させる。この上に強誘電体膜14、例えば SBT をMOD法にて塗り広げ、酸素雰囲気中で650℃以上30分間以上で焼成することを繰返し、膜厚200nmを形成する(図2A)。強誘電体膜の成膜方法はMOD法以外に、ゾルゲルや $LSMCD$ 、スパッタ、 CVD 等も用いられる。

【0018】

ここで強誘電体膜14上にフォトレジストをスピコートにて膜厚2 μm 分塗布形成する。そこで、上部電極を加工するためのフォトレティクルを用いて、後の工程で上部電極が形成される部分にアライメントを合せ、露光、現像工程により、レジストパターン15を形成する(図2B)。このときのパターン寸法は、上部電極寸法の最小値から、アライメントずれのマージン分小さな寸法に、レジストを解像させる。すなわち、上部電極寸法スペックが1.0 $\mu m \pm 0.1 \mu m$ 、アライメントずれスペックが0.2 μm 以内だとすれば、レジストのパターン寸法は0.7 μm 以内である。

続いてこのレジストパターン15をマスクにして、強誘電体膜14をエッチングする(図2C)。エッチング条件は例えば高密度プラズマICPエッチャーにて、ソースパワー2000W、バイアスパワー500W、圧力3mTorr、 Cl_2/Ar 流量30/90sccm、エッチング量は50nm以上100nm未満の間に設定した。

【0019】

エッチ後パターン側壁に付着したエッチングデポ物16を洗浄にて除去(例えば10%濃度の塩酸にて30秒間ディップ処理)、続いてアッシングにて残ったレジストパターン15を除去(例えば μ 波ダウンフローアッシング装置で μ 波パワー1000W、ウエハ温度250℃、 O_2 流量1000sccm、処理時間3分間)する(図2D)。

【0020】

このようにして加工された強誘電体膜14上に、上部電極膜17、例えばPt、Ir、 IrO_3 等をスパッタ法などにより100nm堆積させる(図3E)。

次に上部電極17の上にフォトリジストをスピコートにて膜厚1.5 μm 分塗布形成する。続いて上部電極加工用レティクルを用いてフォトリジストを露光、現像することによりレジストパターン18を形成し、これをマスクにして、上部電極をエッチングする(図3F)。エッチング条件は例えば高密度プラズマICPエッチャーにて、ソースパワー2000W、バイアスパワー500W、圧力3mTorr、 Cl_2/Ar 流量30/90sccm、エッチング量は115nm分(膜厚ばらつき10%とエッチレートばらつき10%を考慮して、上部電極膜厚に対してオーバーエッチ15%)行う。

【0021】

エッチ後パターン側壁に付着したデポ19を洗浄にて除去(例えば10%濃度の塩酸にて30秒間ディップ処理)、続いてアッシングにて残ったレジストパターン18を除去(例えば μ 波ダウンフローアッシング装置で μ 波パワー1000W、ウエハ温度250℃、 O_2 流量1000sccm、処理時間3分間)する(図3G)。

【0022】

次にフォトリジストをスピコートにて膜厚 $1.5\mu\text{m}$ 分塗布形成する。続いて強誘電体膜加工用レティクルを用いてフォトリジストを露光、現像することによりレジストパターン1aを形成し、これをマスクにして、強誘電体膜14をエッチングする(図3H)。エッチング条件は同様に、例えば高密度プラズマICPエッチャーにて、ソースパワー2000W、バイアスパワー500W、圧力3mTorr、 Cl_2/Ar 流量30/90sccm、エッチング量は強誘電体残膜の115%分行う。

【0023】

エッチ後パターン側壁に付着したデポ1bを洗浄にて除去(例えば10%濃度の塩酸にて30秒間ディップ処理)、続いてアッシングにて残ったレジストパターン1aを除去(例えば μ 波ダウンフローアッシング装置で μ 波パワー1000W、ウエハ温度250℃、 O_2 流量1000sccm、処理時間3分間)する(図4I)。

【0024】

次にフォトリジストをスピコートにて膜厚 $2.0\mu\text{m}$ 分塗布形成する。続いて下部電極加工用レティクルを用いてフォトリジストを露光、現像することによりレジストパターン1c形成し、これをマスクにして、下部電極13をエッチングする(図4J)。エッチング条件は、例えば高密度プラズマICPエッチャーにて、ソースパワー2000W、バイアスパワー500W、圧力3mTorr、 Cl_2/Ar 流量30/90sccm、エッチング量は下部電極膜230nm分(膜厚バラツキ10%とエッチレートバラツキ10%を考慮して、下部電極に対してオーバーエッチ15%)行う。

【0025】

エッチ後パターン側壁に付着したデポ1dを洗浄にて除去(例えば10%濃度の塩酸にて30秒間ディップ処理)、続いてアッシングにて残ったレジストパターン1cを除去(例えば μ 波ダウンフローアッシング装置で μ 波パワー1000W、ウエハ温度250℃、 O_2 流量1000sccm、処理時間3分間)する(図4K)。

【0026】

最後にエッチング、洗浄処理、アッシングによる強誘電体特性のダメージ回復のために、アニールを例えばN₂雰囲気中で650℃30分間行う。

【0027】

最終的に得られた半導体装置は高い電気的特性を示し、また、膜剥がれの発生も観察されなかった。

【0028】

【発明の効果】

本発明によって、従来では強誘電体キャパシタ加工工程において、発生していた膜剥がれを効果的に防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の一実施例の半導体装置を示した断面図である。

【図2】 本発明の一実施例の半導体装置の製造工程図である。

【図3】 本発明の一実施例の半導体装置の製造工程図である。

【図4】 本発明の一実施例の半導体装置の製造工程図である。

【図5】 従来技術の半導体装置の製造工程図である。

【図6】 従来技術の半導体装置の製造工程図である。

【図7】 従来技術の半導体装置に発生する膜剥がれを示した模式図である。

【符号の説明】

11：トランジスタを形成した基板

12：密着層

13：下部電極膜

14：強誘電体膜

15：レジストパターン

16：エッチングデポ物

17：上部電極膜

18：レジストパターン

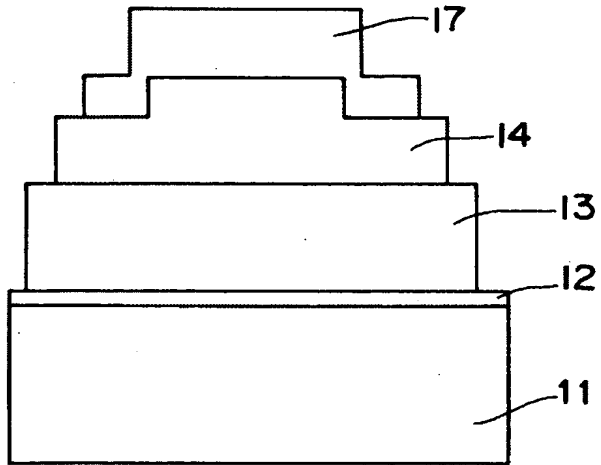
19：エッチングデポ物

1a：レジストパターン

- 1 b : エッチングデポ物
- 1 c : レジストパターン
- 1 d : エッチングデポ物
- 2 1 : トランジスタを形成した基板
- 2 2 : 密着層
- 2 3 : 下部電極膜
- 2 4 : 強誘電体膜
- 2 5 : 上部電極膜
- 2 6 : レジストパターン
- 2 7 : エッチングデポ物
- 2 8 : レジストパターン
- 2 9 : エッチングデポ物
- 3 0 : レジストパターン
- 3 1 : エッチングデポ物

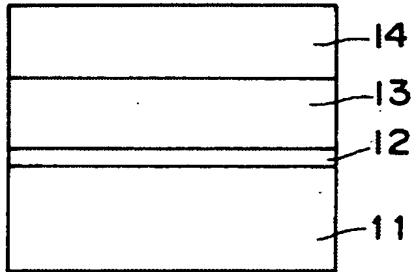
【書類名】 図面

【図 1】

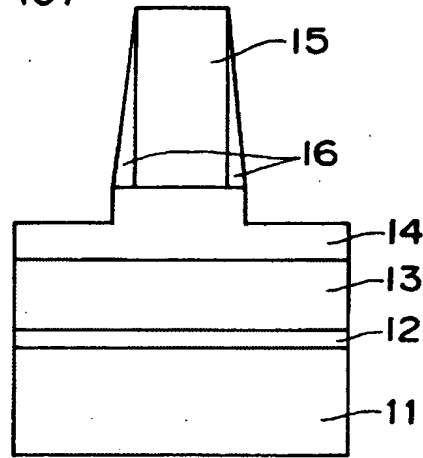


【図 2】

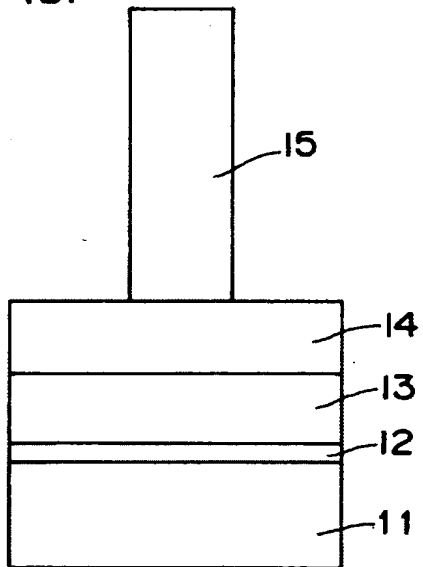
(A)



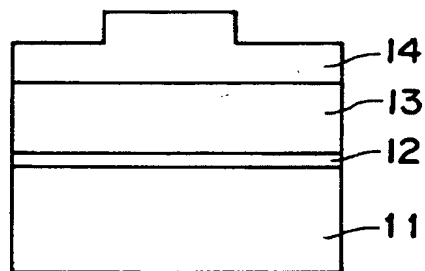
(C)



(B)

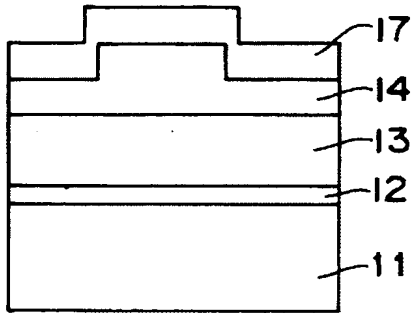


(D)

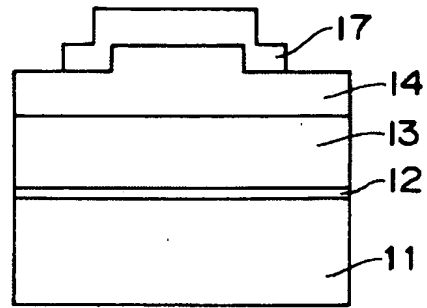


【図 3】

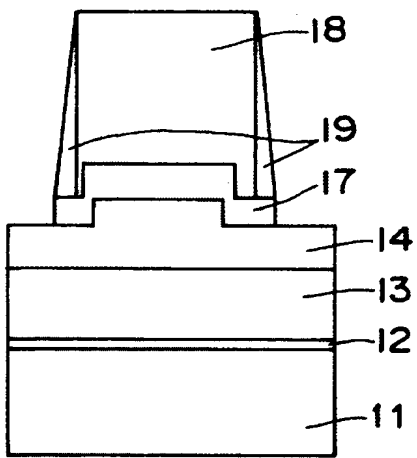
(E)



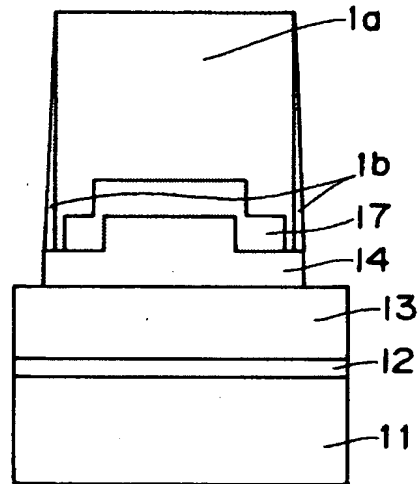
(G)



(F)

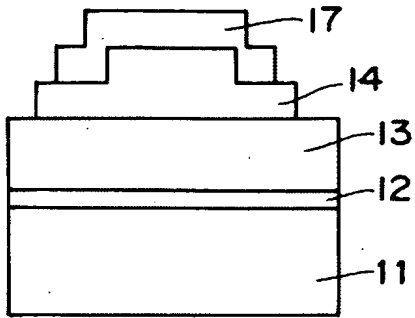


(H)

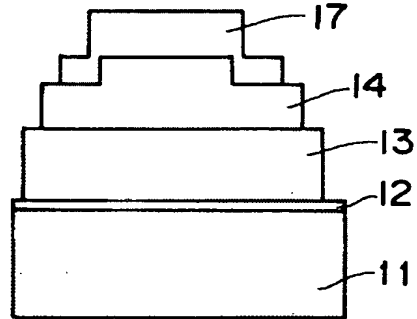


【図 4】

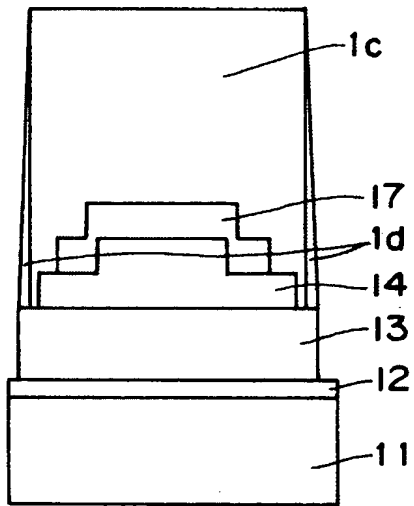
(I)



(K)

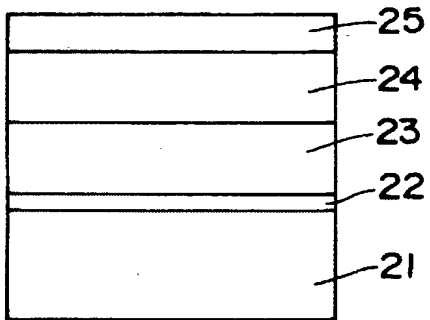


(J)

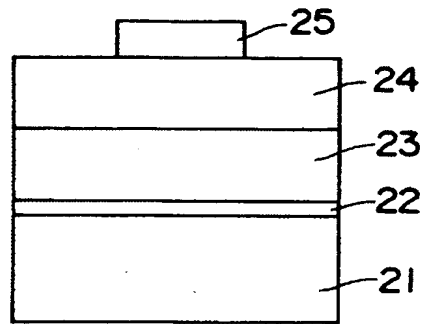


【図 5】

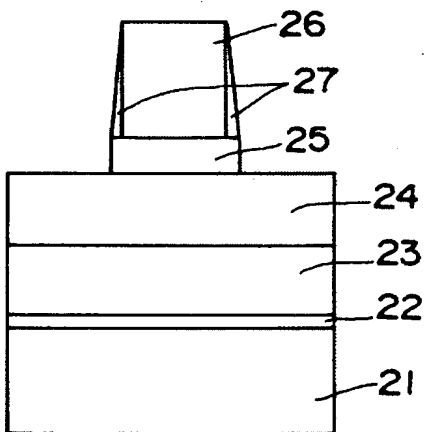
(A)



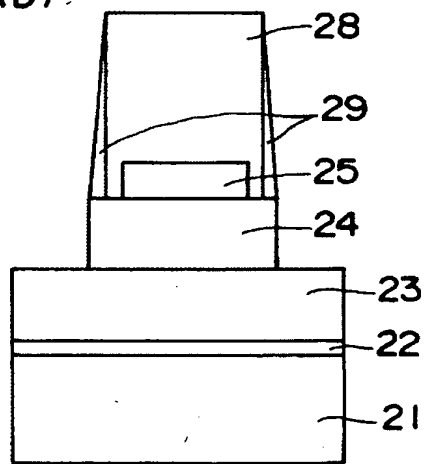
(C)



(B)

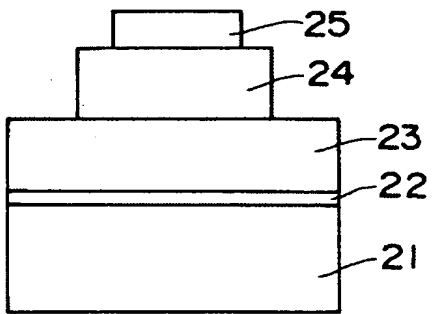


(D)

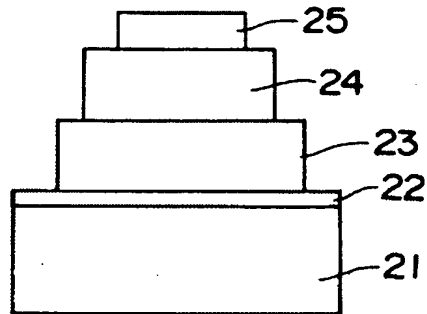


【図 6】

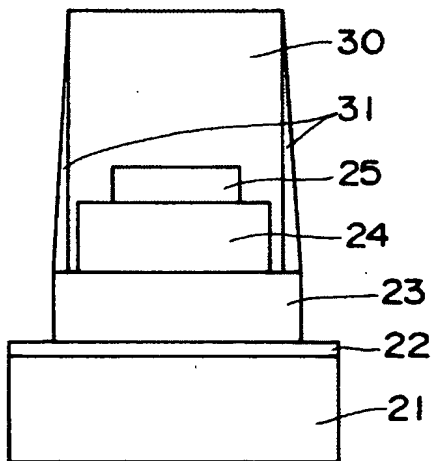
(E)



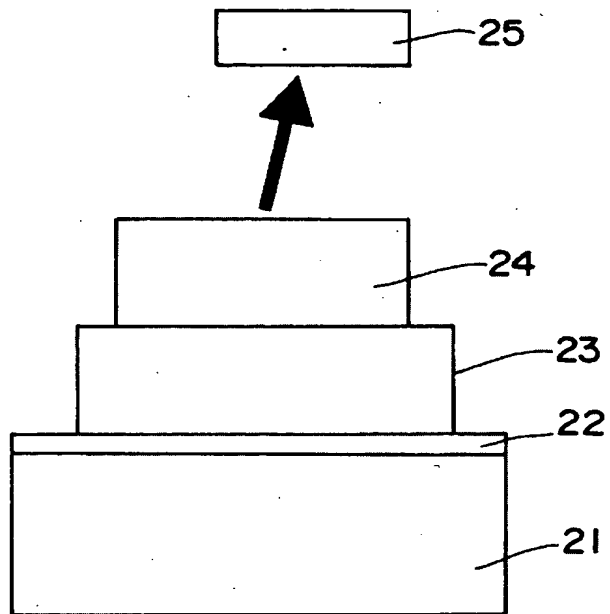
(G)



(F)



【図 7】



【書類名】 要約書

【要約】

【課題】 下部電極膜、強誘電体膜および上部電極膜からなるキャパシタを有する半導体装置において、その強誘電体電気的特性を維持しつつ、膜間剥がれの現象を抑える。

【解決手段】 強誘電体膜および／または下部電極膜の表面に凸部または凹部領域を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社